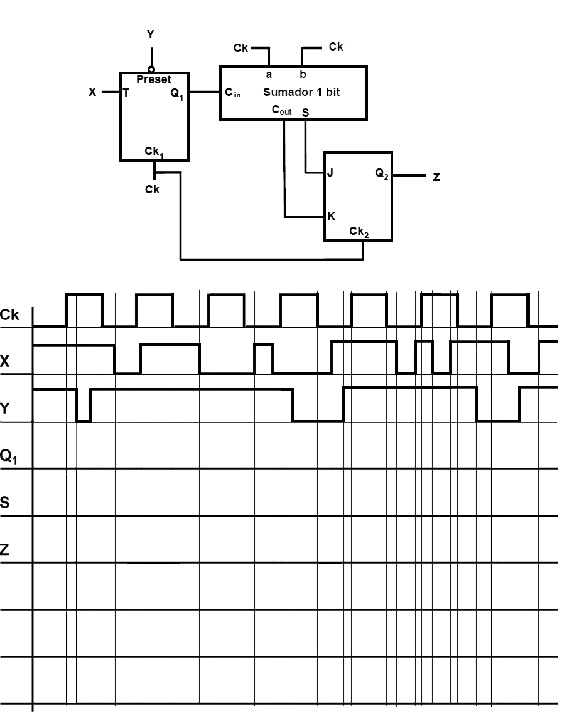
**DISSENY DIGITAL BÀSIC 2021-2022**

***PRÀCTICA 5: Implementació de màquines d'estats finits***

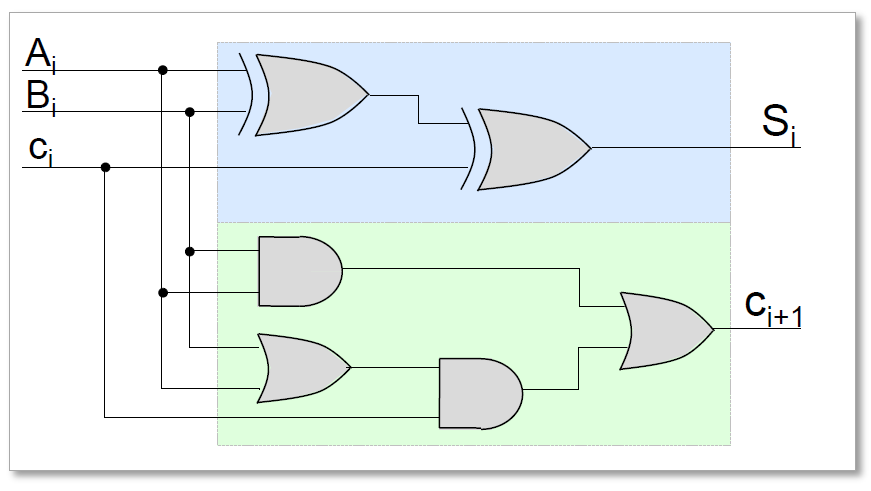
***(dies 29 i 30 de Novembre, i 1,2,3 de Desembre)***

Al laboratori d’aquesta cinquena pràctica continuarem treballant amb màquines d’estat finit, circuits seqüencials i combinacionals. Implementeu el circuit de la següent figura, on teniu un FF\_T, un FF\_JK i un sumador d’un bit. El FF\_T és actiu per flanc de baixada i disposa d’una entrada *Preset* asíncrona, (fa la funció de Preset quan Y=0); d’altra banda, el FF\_JK és actiu per flanc de pujada i no disposa de cap entrada asíncrona.

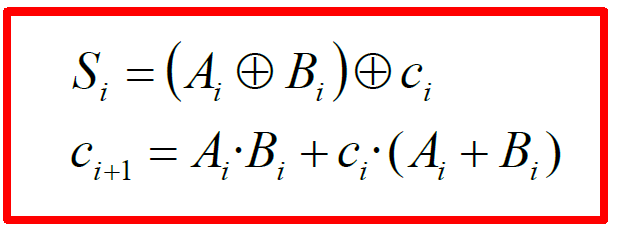
Programeu el circuit i simuleu-lo, tenint en compte la variació dels senyals d’entrada (el rellotge, la X i la Y). El resultat de la simulació us permetrà completar el cronograma. Suposeu que inicialment les sortides dels dos biestables són 0 i que el retard de cada biestable és molt petit comparat amb el període del rellotge (però diferent de zero!). Per tal de fer-ho, tingueu en compte que haureu de combinar les arquitectures logica\_retard, ifthen i estructural.



On el sumador complet està definit per:



O expressat de forma lògica, les seves sortides vindrien donades per:



**Treball a desenvolupar al labortori:**

1) Construïu els FF T (FF\_T\_baixada) i el FF JK (FF\_JK\_pujada) amb arquitectura 'ifthen'. Tots dos FFs tindran un retard de 3 ns a les sortides. El sumador de 1 bit l'implementareu amb arquitectura 'ESTRUCTURAL'. El retard del sumador vindrà donat pel retard de les portes lògiques, que escollireu en 3 ns. Totes aquestes entitats les incloureu a un mateix fitxer.

2) Construïu l’entitat ‘CIRCUIT' amb les entrades X, Y, Ck i la sortida z, utilitzant l'arquitectura 'ESTRUCTURAL' . Respecteu els noms dels senyals que surten a la figura.

3) Construïu l’entitat ‘bdp\_Pr05b’ amb l’arquitectura ‘test\_Pr05b’ per provar el circuit. Reproduïu els mateixos senyals d’entrada que apareixen al cronograma per tal de completar-ho (per exemple, podeu considerar que el rellotge varia cada 50 ns). Afegiu un comentari explicant el funcionament del circuit en base al cronograma i als elements del circuit.

Haureu de pujar 2 fitxers, SENSE COMPRIMIR, que continguin les següents informacions:

1. Un fitxer amb les entitats i arquitectures delsbiestables i del sumador. El nom del fitxer serà **P5b\_Cognom1\_Cognom2\_Nom\_portes.vhd**.
2. Un segon fitxer (**P5b\_Cognom1\_Cognom2\_Nom\_circuit3.vhd**) amb el circuit, la seva arquitectura i el banc de proves.
3. Un tercer circuit amb una captura de pantalla del cronograma final, en format imatge (.jpg, .png, .tif o.bmp), amb el nom **P5b\_Cognom1\_Cognom2\_Nom\_cronograma.jpg** (o l’extensió corresponent, segons el vostre format d’imatge).

**Aquest treball l’haureu de pujar a través del campus virtual quan acabeu la vostra sessió de pràctiques, abans de l’hora de finalització de la vostra sessió de pràctiques. Els codis enviats fora del termini es corregiran però no s’avaluaran.**

**Recordeu que totes les trameses de fitxers es faran a través del campus virtual. NO ENVIEU ELS CODIS PER AVALUAR PER CORREU ELECTRÒNIC.**